

**Excerpt from Korean Patent
Laid-Open Publication No. 1998-052120**

- (11) Laid-Open Publication number: 1998-052120
(43) Date of publication of application: September 25, 1998
(51) Int. Cl. H04N 3/00
(21) Application number: 1996-071058
(22) Date of filing: December 24, 1996
(71) Applicant(s): Daewoo Electronics Corporation
(72) Inventor(s): Lee, Mung-liu
(54) VIDEO CLAMP PULSE WIDTH CONTROL CIRCUIT

Abstract

The present invention provides a video clamp pulse width control circuit.

The video clamp pulse width control circuit in a video signal processing system for a monitor comprises a clamp generator for generating a micro computer clamp pulse; a video clamp pulse width adjusting circuit for adjusting a pulse time constant and the width of the generated signal; an RGB signal input section for applying an RGB video signal to an input section of a preamplifier; an H-V signal input section for applying a signal being horizontally and vertically synchronized to the input section of the preamplifier; an OSD data output section capable of generating, storing, and outputting OSD data to display an OSD data signal on a screen; a video preamplifier for processing data signal input from the above-described sections; a secondary amplifier for amplifying the signal processed by the video preamplifier; a bias circuit for stabilizing the signal output from the secondary amplifier; and a screen apparatus (CRT) for displaying the stabilized signal on the screen.

In this configuration, the width of the clamp signal is changed using the video clamp pulse width adjusting circuit in a stage subsequent to the clamp circuit to thereby enable compensation for white balance, which brings about an effect

of displaying an accurate image on the screen.

What is claimed is:

1. A video clamp pulse width control circuit in a video signal processing system for a monitor comprising:

- a microcomputer clamp pulse generator (1) for generating a clamp pulse;

- a video clam pulse width adjusting circuit (10) for adjusting a pulse time constant and the width of the clamp pulse generated by the microcomputer clamp pulse generator;

- an OSD data output section (30) capable of generating, storing, and outputting OSD data to display an OSD data signal on a screen in the video signal processing system for a monitor;

- a video preamplifier which includes an RGB signal input section (a) for receiving, as an input, an RGB video signal to apply the input RGB video signal to an input section of the preamplifier and an H-V signal input section (b) for receiving, as an input, an H-V signal which is horizontally and vertically synchronized to apply the received H-V signal to the input section of the preamplifier, to process the RGB video signal and the synchronized H-V signal, and the OSD data signal received from the OSD data output section (30);

- a secondary amplifier (3) for amplifying the signals processed by the preamplifier:

- a bias circuit (6) for stabilizing the signal output from the secondary amplifier, and

- a screen apparatus (CRT) for displaying the stabilized signal on the screen.

2. The video clamp pulse width control circuit according to Claim 1, wherein

- in order to adjust the pulse time constant and the width of the clamp signal generated by the microcomputer clamp pulse generator, the video clamp pulse width adjusting circuit (10) comprises:

- a capacitor (C1) used for determining a pulse width of the clamp signal using a time constant;

- a resistor (R1);

- a capacitor (C2) for removing a direct current component

from signal components output from the microcomputer clamp generator to extract an alternating signal component, and

a TR which receives the adjusted pulse as an input at a base and applies a speed up voltage to the preamplifier.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04N 3/00

(11) 공개번호 특 1998-052120
(43) 공개일자 1998년 09월 25일

(21) 출원번호 특 1996-071058
(22) 출원일자 1996년 12월 24일
(71) 출원인 대우전자 주식회사 배순훈
서울특별시 중구 남대문로 5가 541
(72) 발명자 이문걸
경상북도 구미시 공단동 295
(74) 대리인 이영

심사청구 : 없음

(54) 비디오 클램프 펄스폭 조절회로

요약

본 발명은 비디오 클램프 펄스(video clamp pulse) 폭 조절 회로(control circuit)를 제공한다.

비디오 클램프 펄스 폭 조절 회로는 모니터의 영상 신호 처리 시스템에 있어서; 마이컴 클램프 펄스를 발생하기 위한 클램프 발생부; 발생한 신호의 펄스 시정수 및 폭을 조절하기 위한 비디오 클램프 펄스 폭 조절 회로부; R/G/B의 영상 신호를 프리 앰프의 입력부로 작용하게 하는 R/G/B 신호 입력부; H·V(Horizontality, Vertical) 동기화된 신호를 프리 앰프의 입력부로 작용하게 하는 H·V 신호 입력부; 화면에 OSD 데이터 신호를 표시하기 위하여 OSD 데이터를 생성 및 저장, 출력시킬 수 있는 OSD 데이터 출력부; 상기들에서 입력된 데이터 신호들을 처리하기 위한 비디오 프리 앰프 부분; 상기 프리 앰프에서 처리된 신호를 증폭하기 위한 2차 증폭부; 2차 증폭부를 통해 출력된 신호를 안정화시키기 위한 바이어스(Bias) 회로부; 그리고, 안정화된 신호를 화면에 나타내기 위한 스크린 장치(CRT);를 구비하는 것을 특징으로 한다.

이에 따라, 클램프 회로부 다음에 클램프 신호의 폭을 비디오 클램프 펄스 폭 조절 회로를 사용하여 가변함으로써, 화이트 밸런스(White balance)를 보상할 수 있게 하여 화면에 정확한 영상을 맺히게 할 수 있는 효과가 있다.

도면

도 2

도면

도면의 구성과 설명

도 1은 종래의 비디오 클램프 펄스 발생 회로, 프리 앰프, 증폭 회로 및 CRT회로를 통한 영상 신호 처리 시스템의 구성을 도시한 블록도.

도 2는 본 발명의 일 실시예에 따른 비디오 클램프 펄스 발생 회로 및 비디오 클램프 펄스 발생 조절 회로를 포함한 펄스 컨트롤 부분, 프리 앰프, 증폭 회로와, 바이어스(Bias) 회로, CRT회로를 통한 신호 처리를 위한 경로의 블록도.

도 3의 a는 R/G/B 신호(Signal) 회로의 펄스(Pulse) 발생도.

도 3의 b의 실선은 클램프(Clamp) 회로의 펄스(Pulse) 발생도.

도 3의 b의 점선은 클램프(Clamp) 회로의 펄스(Pulse)가 비디오 클램프 펄스 폭 조절 회로를 통과한 후 발생하는 펄스 발생도.

도면의 주요 부분에 대한 부호의 설명

- 1:마이컴 클램프 발생기(μ -Com Clamp Generator)
- 2:프리 앰프(Pre-Amp)
- 3:2차 증폭부: CRT(Cathode-Ray Tube)
- 5:OSD회로부(On Screen Display circuit)
- 6:바이어스 컨트롤 회로(Bias Control circuit)
- 10:비디오 클램프 펄스폭 조절 회로(Video Clamp Pulse Width Control Circuit)

t1-t2: R/G/B 신호의 라이징 타임(Rising Time)
 t3-t4: 비디오 클램프 펄스 폭 조절후 클램프 신호의 조절된 펄스 폭
 a: R/G/B 영상 신호
 b: H·V(Horizontality, Vertical) 동기화 된 신호
 C, C₂: 커패시터(capacitor)
 R₁: 저항(resistance)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비디오 클램프 펄스 폭 컨트롤 회로에 관한 것으로, 특히 더 상세하게는 클램프 회로의 펄스 폭의 조절에 관한 것이다.

일반적으로 마이컴 클램프 신호 발생 회로로부터 얻어진 클램프 신호를 그대로 프리 앰프에 인가하여 사용하고 있다(도 1).

종래의 비디오 클램프 펄스 발생 회로를 그대로 이용한 영상 신호 처리 시스템은 프리 앰프, 증폭 회로, 바이어스(Bias) 회로와 CRT 회로로 구성되어 영상 신호 처리하였다.

그와 같이 구성된 종래의 영상 신호 처리 시스템은 다음과 같이 동작되어진다.

마이컴 클램프 신호 발생 회로로부터 클램프 신호가 프리 앰프(도 1에 2)에 인가되어지고 이 프리 앰프는 외부로부터 받은 또다른 입력들 즉, R/G/B 신호(a) H/V 동기 신호(b) 그리고 OSD 데이터 신호(5)를 입력받아 프리 앰프에서 처리하여 2차 증폭 회로(3)로 인가하고 인가된 신호는 바이어스(Bias) 회로(6)를 통해 안정화되어 CRT 화면(4)에서 영상이 처리되었다.

발명이 이루고자 하는 기술적 과제

그러나, 그러한 종래의 영상 처리 시스템에서의 마이컴 클램프 신호 발생기(μ -Com Clamp Generator)의 구성과 작용(도 1)에 의하면, 페이스 이동시 시그널이 비정상적으로 이동하는 부위(t1-t2)가 생김에 따라 t1과 t2사이의 영역에서 클램프 신호의 동기 불일치(도 3a, 도 3b설선)로 화이트 밸런스가 맞지 않게 된다. 그러면 화면에 정확한 영상을 맺게 할 수가 없다는 어려움이 있다.

따라서, 본 발명은 상기와 같은 문제점을 해소하기 위하여 발명된 것으로, 페이스 이동시 시그널이 비정상적으로 나타나는 펄스의 왜곡이(도 3a) 라이징 타임(t1-t2) 부위에서 생김에 따라 t1과 t2사이(도 3a)의 영역에서 클램프 신호의 동기 불일치로 화이트 밸런스가 맞지 않게 됨으로써 화면에 정확한 영상을 맺게 할 수 없다는 것을 클램프 회로부 다음에 클램프 신호의 폭을 t1에서 t2간격(도 3 a)의 차이 만큼 보상할 수 있는 폭을 비디오 클램프 펄스 폭 조절 회로를 사용하여 제공함으로써, 화이트 밸런스(White balance)를 보상할 수 있게 하는 비디오 클램프 펄스 폭 조절 회로를 제공하는 데에 그 목적이 있다.

발명의 구성 및 작용

이러한 목적을 달성하기 위해 본 발명에 따른 모니터 영상 신호 처리 시스템의 비디오 클램프 펄스 폭 조절 회로는, 클램프 펄스를 발생하기 위한 마이컴 클램프 펄스 발생부; 마이컴 클램프 펄스 발생 장치로부터 발생한 클램프 신호의 펄스 시정수 및 폭을 조절하기 위한 비디오 클램프 펄스 폭 조절 회로부;와

R/G/B의 영상 신호를 입력으로 받아 프리 앰프의 입력부로 작용하게 하는 R/G/B 신호 입력부와 동기화된 H·V 신호를 입력으로 받아 프리 앰프의 입력부로 작용하게 H·V 신호 입력부를 지니며 그, R/G/B의 영상 신호, 동기화된 H·V 신호와 상기 OSD 데이터 출력부로 부터의 OSD 데이터 신호를 처리하기 위한 비디오 프리 앰프부;

모니터의 영상 신호 처리 시스템에 있어서 화면에 OSD 데이터 신호를 표시하기 위하여 OSD 데이터를 생성 내지는 저장, 출력시킬 수 있는 것을 특징으로 하는 OSD 데이터 출력 회로부; 상기 프리 앰프에서 처리된 신호를 증폭하기 위한 2차 증폭부; 2차 증폭부를 통해 출력된 신호를 안정화시키기 위한 바이어스(Bias) 회로부; 그리고, 안정화된 신호를 화면에 나타내기 위한 스크린 장치(CRT);를 구비하는 것을 특징으로 한다.

상기 마이컴 클램프 펄스 발생 장치로부터 발생한 클램프 신호의 시정수를 이용한 펄스 폭을 조절하기 위한 비디오 클램프 펄스 폭 조절 회로부에서 커패시터(C₁), 저항(R₁)은 시정수를 결정하는 데 사용되어진다. 또한 마이컴 클램프 발생기의 출력 부분에 있는 커패시터 C₂는 클램프 신호에 직류 성분을 제거하고 교류 성분만을 취하기 위해 필요한 것이다.

상기 조절된 펄스를 출력부에서 입력으로 받아 스피드업(Speed Up) 전압을 프리 앰프에 가하 작용을 Vcc가 하게 된다.

이하, 첨부된 도면을 참조하여 본 발명 바람직한 실시예를 상세히 설명하면 다음과 같다.

도 2에 본 발명의 일 실시예에 따른 비디오 클램프 펄스 폭 조절 회로(Video Clamp Pulse Width Control

Circuit)의 불럭도가 도시된다.

우선 비디오 클램프 펄스 조절 회로를 포함하는 영상처리 시스템은,

클램프 펄스를 발생하기 위한 마이컴 클램프 펄스 발생부(1)를 통해 상기 클램프 신호의 펄스 폭이 조절된다. 이 회로부는 마이컴 클램프 펄스 발생 장치로부터 발생한 클램프 신호를 커패시터, 저항의 구성원으로 부터 펄스의 시정수 타우(τ)를 조절 함으로써 펄스의 폭이 조절되어지는 작용을 하게 된다.

마이컴 클램프 펄스 발생기의 출력 부분에 있는 커패시터는 클램프 신호에 직류 성분을 제거하고 교류 성분만을 취하기 위해 필요한 작용을 한다.

상기 조절된 펄스를 베이스측에서 입력으로 받아 스피드업(Speed Up) 전압을 프리 앰프에 가하는 TR의 작용이 있게 된다.

R/G/B의 영상 신호를 입력으로 받아 프리 앰프의 입력부로 작용하게 하는 R/G/B 신호 입력부(a), H·V 동기화 된 신호를 입력으로 받아 프리 앰프(2)의 입력부(b)로 작용하게 한다.

모니터의 영상 신호 처리 시스템에 있어서 화면에 OSD 데이터 신호를 표시하기 위하여 OSD 데이터를 생성 내지는 저장, 출력시킬 수 있는 것을 특징으로 하는 OSD 데이터 출력부(5).

상기들에서 R/G/B의 영상 신호, H·V 동기화 된 신호, OSD 데이터 신호를 처리하기 위한 비디오 프리 앰프 부분(2)의 작용이 있게 된다.

상기 프리 앰프에서 처리된 신호는 2차 증폭부(3)에 의해 증폭된다.

2차 증폭부를 통해 출력된 신호를 바이어스(Bias) 회로부(6)를 통해 안정화시키고, 그리고, 안정화된 신호를 화면에 나타내기 위한 스크린 장치(CRT)(4)를 통해 영상 신호가 디스플레이(Display) 되게 된다.

이와 같이 구성된 본 발명의 실시시에 따른 비디오 클램프 펄스 폭 조절 회로의 상세 동작 작용을 도 2를 참조하여 설명하면 다음과 같다.

클램프 발생 장치로부터 클램프 신호가 발생된다.

이 발생된 신호를 비디오 클램프 펄스 폭 조절 회로를 통과하게 되면, 펄스폭 조절 회로의 첫 번째 소자인 커패시터 C₁(도 2)를 통해 직류 성분은 제거되고 교류 성분만이 남게 된 클램프 신호가 출력된다.

교류 성분만을 가진 이 클램프 신호를 커패시터와 저항 이 병렬로 연결된 R-C회로를 통과하면 R과 C의 값에 따라 시정수 타우(τ)가 다음과 같은 관계식에 의해 결정된다.

$$\tau = 1/(R+C)$$

이 시정수의 크고 작음에 따라 클램프 신호의 라이징 타임(Rising Time)(도 3의 a)이 결정되어 결과적으로는 클램프 신호의 펄스 폭을 조절하는 역할을 한다.

이 펄스 폭은 프리 앰프(2)에 입력되는 R/G/B 신호와 H·V 동기 신호가 페이스(Phase) 이동됨에 따른 파형의 왜곡이 일어나는 부분의 양에 의해서 결정된다.

상기의 파형 왜곡에 따라 펄스 폭이 조절된 클램프 신호와, R/G/B, H·V 동기 신호 그리고, OSD 신호가 프리 앰프에 인가되면 프리 앰프(Pre-Amp)(2)를 통해 처리된다.

처리된 신호는 2차 증폭 회로(3)를 통해 증폭되어진다.

증폭된 신호는 바이어스(Bias) 회로(6)를 통해 신호 안정화가 되고, CRT를 통하여 스크린 상에 원하는 영상이 나타나게 된다.

발명의 효과

이상에서 설명한 본 발명의 실시시에 따른 비디오 클램프 펄스 폭 조절 회로가 있는 영상 신호 처리 시스템의 구성과 작용에 의하면,

클램프 신호의 펄스 폭을 페이스 이동시 시그널이 비정상적으로 파형의 왜곡이 일어나는 부위(t₁-t₂, 도 3a)만큼 클램프 회로부 다음에 클램프 신호의 폭을 t₁에서 t₂간격의 차이 만큼 보상할 수 있는 비디오 클램프 펄스 폭 조절 회로를 사용하여 펄스 폭을 늘어 줌으로써, 화이트 밸런스(White balance)를 보상할 수 있게 하여 화면에 원하는 정확한 영상을 멎히게 할 수 가 있다는 효과가 있다.

이상에서 첨부된 도면을 참조하여 본 발명을 실시시에 의해 구체적으로 설명하였지만, 본 발명은 이에 의해 제한된 것은 아니고, 당업자의 통상적인 지식의 범위 내에서 그 변형이나 개량이 가능하다.

(57) 청구의 범위

청구항 1

모니터의 영상 신호 처리 시스템에 있어서;

클램프 펄스를 발생하기 위한 마이컴 클램프 펄스 발생부(1);

마이컴 클램프 펄스 발생장치로부터 발생한 클램프 신호의 펄스 시정수 및 폭을 조절하기 위한 비디오 클램프 펄스 폭 조절 회로부(10);

모니터의 영상 신호 처리 시스템에 있어서 화면에 OSD 데이터 신호를 표시하기 위하여 OSD 데이터를 생성 및 저장, 출력시킬 수 있는 것을 특징으로 하는 OSD 데이터 출력부(30);

R/G/B의 영상 신호를 입력으로 받아 프리 앰프의 입력부로 작용하게 하는 R/G/B 신호 입력부(a)와 H·V(Horizontality, Vertical) 동기화된 H·V 신호를 입력으로 받아 프리 앰프의 입력부로 작용하게 H·V 신호 입력부(b)를 지니며, 그, R/G/B의 영상 신호, 동기화된 H·V 신호와 상기 OSD 데이터 출력부(30)로부터의 OSD 데이터 신호를 처리하기 위한 비디오 프리 앰프부(2).

상기 프리 앰프에서 처리된 신호를 증폭하기 위한 2차 증폭부(3);

2차 증폭부를 통해 출력된 신호를 안정화시키기 위한 바이어스(Bias) 회로(6); 그리고,

안정화된 신호를 화면에 나타내기 위한 스크린 장치(CRT)(4)를 구비하는 것을 특징으로 하는 영상 신호 처리 시스템의 비디오 클램프 펄스 폭 조절 회로.

청구항 2

제 1항에 있어서, 상기 비디오 클램프 펄스 폭 조절 회로부(10)는 상기 마이컴 클램프 펄스 발생 장치로부터 발생한 클램프 신호의 펄스 시정수 및 폭을 조절하기 위한데 있어서;

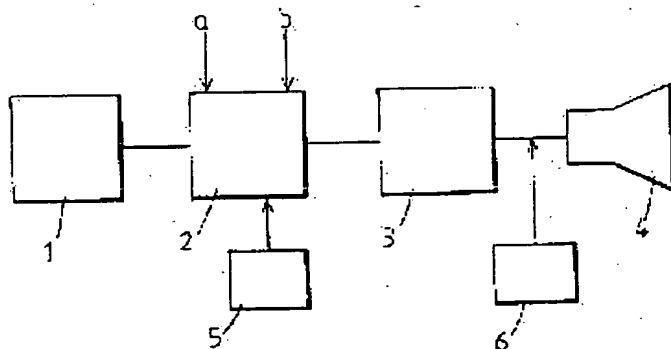
시정수를 이용하여 클램프 신호의 펄스폭을 결정하는데 사용되어 지는 커패시터(C_1), 저항(R_1);

마이컴 클램프 발생기의 출력 부분의 신호 성분에 직류 성분을 제거하고 교류 성분만을 취하기 위한 커패시터(C_2);

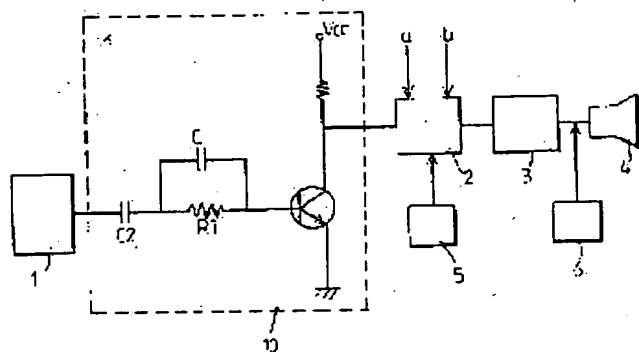
상기 조절된 펄스를 베이스측에서 입력으로 받아 스피드업(Speed Up) 전압을 프리 앰프에 가하는 TR를 포함하는 것을 특징으로 하는 비디오 클램프 펄스 폭 조절 회로.

도면

도면1



도면2



도 3

